

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-204437

(43)Date of publication of application : 22.07.1994

(51)Int.Cl.

H01L 27/18

G06F 15/60

H01L 21/82

(21)Application number : 04-347720

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 28.12.1992

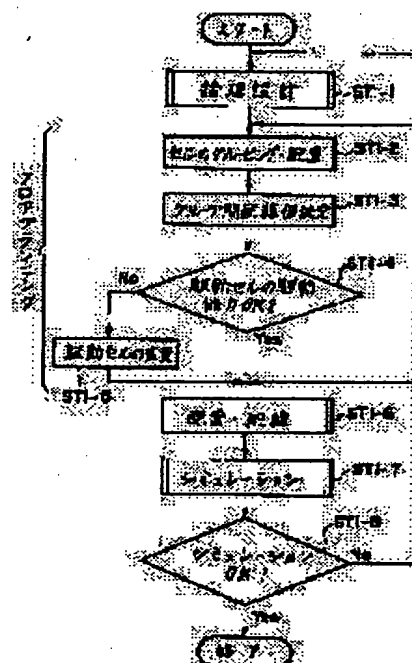
(72)Inventor : YAMAMOTO HIDEAKI

## (54) FLOOR PLANNER AND FLOOR PLAN METHOD

## (57)Abstract:

**PURPOSE:** To provide a method for designing a semiconductor integrated circuit device by which an inconvenient amount found after a process for arrangement and wiring is reduced to reduce a turn around time by performing a part of logical simulation before a process for arrangement and wiring in the design of a semiconductor integrated circuit device by a CAD.

**CONSTITUTION:** A process for floor planning includes the steps of grouping and arranging a cell (ST1-2), and then virtually determining a wiring between respective groups (ST1-3), inspecting whether the driving capability of a driving cell for driving a wiring between the groups is adequate or not, based upon the length of the wiring virtually determined (ST1-4) and if the driving capability is inadequate, changing the driving cell before the process for arrangement and wiring (ST1-5).



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-204437

(43) 公開日 平成6年(1994)7月22日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/118				
G 0 6 F 15/60	3 7 0 K	7623-5L		
H 0 1 L 21/82				
		9169-4M	H 0 1 L 21/82	M
		9169-4M		C
審査請求 未請求 請求項の数 2 (全 5 頁)				

(21) 出願番号 特願平4-347720

(22) 出願日 平成4年(1992)12月28日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 山本 英明

東京都千代田区内幸町2-2-3 日比谷

国際ビル 川崎製鉄株式会社東京本社内

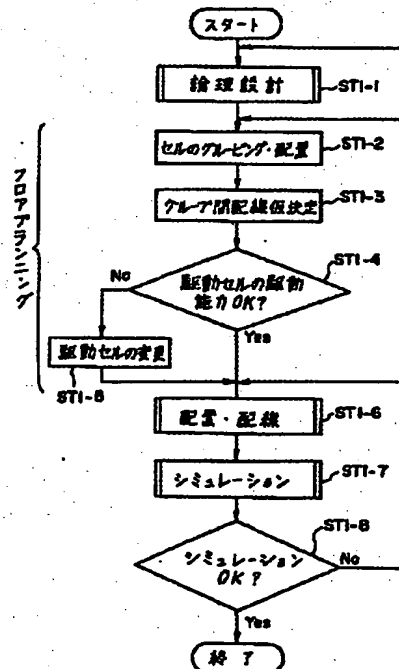
(74) 代理人 弁理士 金山 敏彦 (外2名)

(54) 【発明の名称】 フロアプランナ及びフロアプラン方法

(57) 【要約】

【目的】 CADにおける半導体集積回路装置の設計において、配置配線処理が行われる前に、論理シミュレーションの一部を行うことによって、配置配線処理の後で発見される不具合の量を減少させ、ターンアラウンドタイムが減少した半導体集積回路装置の設計方法を得る。

【構成】 フロアプランニングの処理において、セルのグルーピング及び配置 (ST1-2) がされた後、各グループ間の配線が仮想的に決定される (ST1-3)。この仮想的に決定された配線長に基づき、そのグループ間の配線を駆動する駆動セルの駆動能力が十分であるかを検査する (ST1-4)。そして、駆動能力が十分でなければ、配置配線の処理が行われる前に、駆動セルの変更が行われる (ST1-5)。



## 【特許請求の範囲】

【請求項1】 CAD装置上において半導体集積回路装置の設計において用いられるフロアプランナであって、半導体集積回路のセルの中で、同一の機能を実現するセルごとにグループ分けを行なうグルーピング手段と、前記グルーピング手段によるグループ分けの結果、各グループにまたがるグループ間配線を決定するグループ間配線決定手段と、

前記グルーピング手段によるグループ分けにしたがって、同一のグループに含まれるセルは近接するように、半導体集積回路装置の各セルの配置を行なうセル配置手段と、

前記セル配置手段によるセルの配置の後、前記グループ間配線決定手段によって決定されたグループ間配線の配線の長さを仮想的に決定するグループ間配線長決定手段と、

前記決定されたグループ間配線の配線長、及び前記決定されたグループ間配線に要求される配線遅延量と、前記決定されたグループ間配線を駆動するセルの駆動能力とを比較し、前記セルの駆動能力が前記配線長及び被駆動素子に合致していないときは、他の合致する駆動能力を有するセルに変更する変更手段と、

を備えることを特徴とするフロアプランナ。

【請求項2】 CAD装置上において半導体集積回路装置の設計において用いられるフロアプラン方法であって、

半導体集積回路のセルの中で、同一の機能を実現するセルごとにグループ分けを行なうグルーピング工程と、

前記グルーピング工程によるグループ分けの結果、各グループにまたがるグループ間配線を決定するグループ間配線決定工程と、

前記グルーピング工程によるグループ分けにしたがって、同一のグループに含まれるセルは近接するように、半導体集積回路装置の各セルの配置を行なうセル配置工程と、

前記セル配置工程によるセルの配置の後、前記グループ間配線決定工程によって決定されたグループ間配線の配線の長さを仮想的に決定するグループ間配線長決定工程と、

前記決定されたグループ間配線の配線長、及び前記決定されたグループ間配線に要求される配線遅延量と、前記決定されたグループ間配線を駆動するセルの駆動能力とを比較し、前記セルの駆動能力が前記配線長及び被駆動素子に合致していないときは、他の合致する駆動能力を有するセルに変更する変更工程と、

を備えることを特徴とするフロアプラン方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置の設計方法に関する。特に、ゲートアレイやスタンダード

セル方式により半導体集積回路装置を設計する方法において用いられるフロアプランナに関する。

## 【0002】

【従来の技術】 近年、半導体集積回路装置の設計・製造方法としては、設計・開発期間の短いゲートアレイ方式やスタンダードセル等の方式による半導体集積回路装置が広く使用されている。これらの方式の半導体集積回路装置においては、バッファ回路や、フリップフロップなどの一定の機能を有する「セル」を組み合わせることに

よって、全体の半導体集積回路装置が設計されている。【0003】 これらの方式による半導体集積回路装置の設計・製造においては、論理設計が終了したのちいわゆるフロアプランニングと呼ばれるCAD装置の機能により、セルのグルーピングとセルの配置とが行われている。この様子を示すフローチャートが図2に示されている。

【0004】 図2に示されているように、ステップST2-1における論理設計が終了すると、続いていわゆるフロアプランニングの処理が行われる。このフロアプランニングは以下に述べるステップST2-2とステップST2-3とで実行される。まず、ステップST2-2においては、この半導体集積回路装置を構成する各セルのグルーピングが行われる。グルーピングとは、半導体集積回路装置を構成するセルを、同一の機能を実現するセル毎にグループ分けをすることである。このように、配置・配線を行う前に予め同一の機能を実現するような密接に関連があるセルをグループ分けしておくことで配置配線の効率化を図ることができる。次に、ステップST2-3においては、上記ステップST2-2におけるグルーピングに従って、同一のグループは互いに近接するように各セルの配置を行う。

【0005】 このような、フロアプランニングが終了した後ステップST2-4におけるいわゆる配置・配線の処理が行われる。この配置配線は、各セルの間の配線が行われ、具体的な長さも算出される。

【0006】 そして、ステップST2-4における配置配線によって求められた配線長などの数値を基にして、ステップST2-5において論理シミュレーションが行われる。このシミュレーションの結果、なんらかの不具合が発見されたならば、その不具合に応じて、ステップST2-1の論理設計や、ステップST2-2及び2-3のフロアプランニングや、もしくはステップST2-4の配置配線に戻って設計のやり直しが行われる。そして、ステップST2-6におけるシミュレーションの結果が所望の機能を満足するまで以上の処理が繰り返される。

## 【0007】

【発明が解決しようとする課題】 従来の半導体集積回路装置の設計・製造方法は、以上のように構成されていたので、論理シミュレーションは配置配線の後に行われて

3

いた。これは、シミュレーションにおいては実際の配線長が決定され、その遅延時間が算出されないかぎりシミュレーションを行うことができないからである。すなわち、図2におけるステップST2-5における論理シミュレーションは単なる論理シミュレーションではなく、実際の配置配線による配線長の遅延時間を考慮した最終的な機能シミュレーションである。

【0008】ところが、一般に配置配線は極めて多量の計算量があるため、計算機上での現実の実行時間は極めて長いものとなる。従って、この配置配線の計算だけで2-3日の処理時間が必要となることも多い。その結果、従来の半導体集積回路装置の設計・製造方法においては、シミュレーションによって発見された不具合を訂正し、再びシミュレーションを行うまでに極めて長い時間が必要であった。そのため、半導体集積回路装置の設計・製造の全体時間の長さが長くなってしまおうという問題があった。

【0009】本発明は上記課題に鑑みなされたもので、その目的は、配置配線の計算処理を行う前に仮想的な配線長を求め、これを用いて、配置配線計算処理の前に簡易なシミュレーションを行うことにより、配置配線の処理の後で行う論理シミュレーションを繰り返すことを減少することができるフロアプランナ及びフロアプラン方法を得ることである。

【0010】

【課題を解決するための手段】第1の本発明は、上述の課題を解決するために、CAD装置上において半導体集積回路装置の設計において用いられるフロアプランナであって、半導体集積回路のセルの中で、同一の機能を実現するセルごとにグループ分けを行なうグルーピング手段と、前記グルーピング手段によるグループ分けの結果、各グループにまたがるグループ間配線を決定するグループ間配線決定手段と、前記グルーピング手段によるグループ分けにしたがって、同一のグループに含まれるセルは近接するように、半導体集積回路装置の各セルの配置を行なうセル配置手段と、前記セル配置手段によるセルの配置の後、前記グループ間配線決定手段によって決定されたグループ間配線の配線の長さを決定するグループ間配線長決定手段と、前記決定されたグループ間配線の配線長及び前記決定されたグループ間配線に接続する被駆動素子と、前記決定されたグループ間配線を駆動する素子の駆動能力とを比較し、前記素子の駆動能力が前記配線長及び被駆動素子に合致していないときは、他の合致する駆動能力を有する素子に変更する変更手段と、を備えることを特徴とするフロアプランナである。

【0011】第2の本発明は、上述の課題を解決するために、CAD装置上において半導体集積回路装置の設計において用いられるフロアプラン方法であって、半導体集積回路のセルの中で、同一の機能を実現するセルごとにグループ分けを行なうグルーピング工程と、前記グル

4

ーピング工程によるグループ分けの結果、各グループにまたがるグループ間配線を決定するグループ間配線決定工程と、前記グルーピング工程によるグループ分けにしたがって、同一のグループに含まれるセルは近接するように、半導体集積回路装置の各セルの配置を行なうセル配置工程と、前記セル配置工程によるセルの配置の後、前記グループ間配線決定工程によって決定されたグループ間配線の配線の長さを仮想的に決定するグループ間配線長決定工程と、前記決定されたグループ間配線の配線長、及び前記決定されたグループ間配線に要求される配線遅延量と、前記決定されたグループ間配線を駆動するセルの駆動能力とを比較し、前記セルの駆動能力が前記配線長及び被駆動素子に合致していないときは、他の合致する駆動能力を有するセルに変更する変更工程と、を備えることを特徴とするフロアプラン方法である。

【0012】

【作用】第1の本発明における変更手段は、仮想的に決定されたグループ間配線の配線長、及びこの配線に要求される配線遅延量とから、この配線を駆動するセルの駆動能力が十分であるか否かを判断し、十分でない場合には他のより大きい駆動能力を有するセルに変更する。従って、従来配置配線の処理の後で行われる論理シミュレーションにおいて発見される駆動セルの不具合が配置配線の処理の前に発見することができる。

【0013】第2の本発明における変更工程は、上記第1の本発明における変更手段と同様の作用を有する。

【0014】

【実施例】以下、本発明の好適な実施例を図面に基づいて説明する。

【0015】図1は、本実施例のフロアプランナの動作を表すフローチャートである。図1に示されているフローチャートは、図2に示されているフローチャートと同様に、論理設計から最終的なシミュレーションが終了するまでの工程を表している。

【0016】まず、図1に示されているようにステップST1-1においては論理設計が行われる。そしてその後フロアプランニングの処理が行われる。本実施例におけるフロアプランニングの処理は図1に示されているステップST1-2からステップST1-5までの処理である。

【0017】まず、ステップST1-2においては、セルのグルーピング・配置が行われる。このセルのグルーピングと配置とは従来の技術において述べた図2のステップST2-2とステップST2-3における処理と全く同様である。続いて図1のステップST1-3においては上記ステップST1-2におけるグルーピングの結果である各グループの間の配線が仮想的に決定される。このステップにおけるグループ間の配線を仮想的に決定することが本実施例において特徴的なことである。このようにグループ間の配線を後述するステップST1-6

における配置配線処理を経ることなく仮に決定したので、配置配線処理の前に、グループ間の配線の遅延時間に基づく機能検査を行うことが可能である。

【0018】次に、ステップST1-4においては、上述したステップST1-3において決定されたグループ間の配線長に基づいて、その配線の遅延時間を予測し、その予測時間を考慮に入れて機能シミュレーションを行うことが可能である。そして、この機能シミュレーションの結果上述した各グループ間配線を駆動する駆動セルの駆動能力が十分であるか否かが検査され得る。すなわち、遅延時間を考慮した機能シミュレーションを行うことによって、所望の機能が実現されないときには上述したグループ間配線の遅延時間が予想以上に大きくそれを駆動する駆動セルの駆動能力が足りなかったことを意味するのである。そして、このステップST1-4による検査の結果、駆動能力が十分であると判断されたならば後述するステップST1-6における配置配線の処理に移行するが、駆動能力が十分ではないと判断されたならば、次のステップST1-5において駆動セルの変更が行われる。

【0019】このステップST1-5における駆動セルの変更においては、その駆動セルの機能は変更されずに、駆動セルの駆動能力のみが変更される。すなわち、駆動能力はその中に含まれるトランジスタの大きさに依存し、駆動能力を大きくする場合には大きな面積を有するトランジスタを使用した駆動セルに変更する。そして、このステップST1-5が終了した後、次の配置配線の処理であるステップST1-6に移行する。

【0020】配置配線工程であるステップST1-6から後の処理は図2において示した従来の処理と全く同様である。すなわち、このステップST1-6において配置配線処理が行われ、次のステップST1-7において論理シミュレーションが行われる。この論理シミュレーションは、図2におけるステップST2-5における論理シミュレーションと同一である。

【0021】ステップST1-8においても、図2におけるステップST2-6と同様にシミュレーションの結果が所望の機能を満足しているか否かが検査され、なんらかの不具合が発見されたならば、その不具合に応じて上述した論理設計であるステップST1-1かもしくはフロアプランニング処理の入口であるステップST1-2か、又は配置配線の処理であるステップST1-6に再び移行する。

【0022】このように、本実施例においてもステップST1-7における論理シミュレーション自体は、従来の図2におけるステップST2-5における論理シミュレーションと同様であるが、本実施例におけるステップ

ST1-4及びステップST1-5における駆動セルの変更によって駆動セルの駆動能力がグループ間配線に適合しないことによる不具合はこのステップST1-7におけるシミュレーションで発見されることはないと期待される。従って、ステップST1-8においてシミュレーションの結果に不具合が発生し、再び論理設計（ステップST1-1）等に処理が戻る回数を減らすことが可能である。本実施例において特徴的なことは、従来、設計の不具合が全てST1-8におけるシミュレーションの結果を判断する工程においてチェックされていたのが、新たにフロアプランニング処理においてグループ間の配線を仮想的に決定したのでこの仮想的に決定した配線に基づきグループ間配線に基づくシミュレーションを行うことができたことである。この結果、このグループ間の配線を駆動する駆動セルの駆動能力が不十分である場合には、他の駆動能力の異なる駆動セルに変更することが可能である。

【0023】このように、本実施例によればグループ間配線に起因する不具合を、ステップST1-6における配置配線の処理の前に行うことができ、更に、駆動セルの駆動能力の変更が必要な場合には適宜駆動セルを変更したので、処理時間の膨大な配置配線処理を行う回数を減少させることができる。従って、本実施例によれば半導体集積回路装置の設計から製造完了までのいわゆるターンアラウンドタイムを短縮化することができる。

【0024】

【発明の効果】以上述べたように、本発明によれば、半導体集積回路装置の設計・製造工程において、配置配線の処理が行われる前に、フロアプランナにおいて各グループの間の配線を仮想的に決定し、この仮想的に決定したグループ間の配線に基づきシミュレーションを行ったので、グループ間配線を駆動する駆動セルの検査を行うことが可能である。従って、従来配置配線処理の後でシミュレーションによって検査されていた検査事項の一部が配置配線処理の前に行うことができ、処理時間の長い配置配線処理を行う回数を減らすことが可能なフロアプランナ、もしくはフロアプラン方法が得られる。

【図面の簡単な説明】

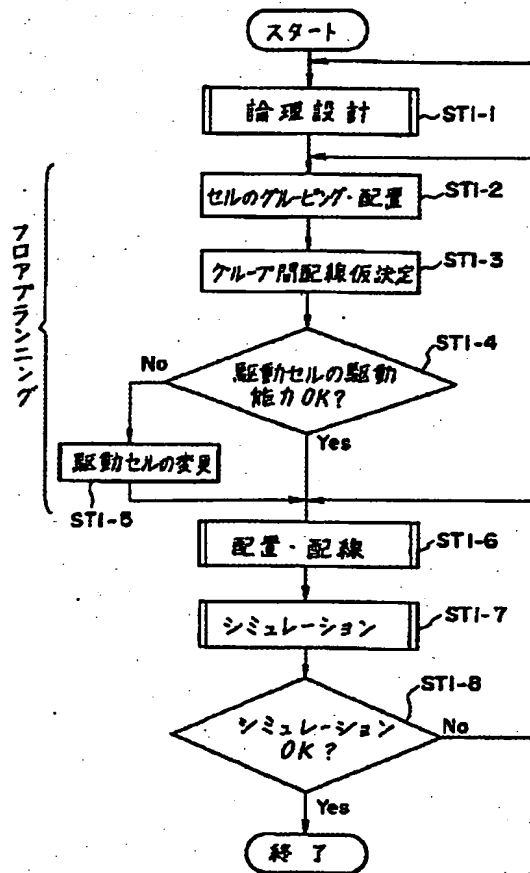
【図1】本発明の好適な実施例であるフロアプランナを適用した半導体集積回路装置の設計の流れを表すフローチャートである。

【図2】従来の半導体集積回路装置の設計の流れを示すフローチャートである。

【符号の説明】

ST1-3 グループ間配線仮決定工程  
ST1-4 駆動セル試験工程  
ST1-5 駆動セルの変更工程

【図1】



【図2】

